

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

a)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-226

⑬ Int. Cl.³
H 03 K 19/094

識別記号

庁内整理番号
6832-5 J

⑭ 公開 昭和59年(1984)1月5日

発明の数 2
審査請求 未請求

(全 18 頁)

⑮ 論理回路の構成方法

⑯ 特 願 昭58-80255

⑰ 出 願 昭58(1983)5月10日

優先権主張 ⑱ 1982年5月10日 ⑲ 米国(US)

⑳ 376895

㉑ 1982年12月8日 ㉒ 米国(US)

㉓ 447817

㉔ 発 明 者 スターリング・ホワイティカー

⑰ 出 願 人 アメリカ合衆国アイダホ83302
カバツク・レッドフィツシュ51
43
アメリカン・マイクロシステム
ズ・インコーポレイテッド
アメリカ合衆国カリフォルニア
95051サンタ・クララ・ホーム
ステッド・ロード3800

㉕ 代 理 人 弁理士 小橋一男 外1名

明 細 書

1. 発明の名称

論理回路の構成方法

2. 特許請求の範囲

1. 与えられた論理関数を表わす論理回路であって該論理回路がその基本要素としてバストランジスタを使用しており前記バストランジスタが入力リードと出力リードと制御関数によって制御される制御リードとを有する論理回路を形成する方法に於いて、所望の論理関数の第1真理値表であって入力変数の各状態に対して1個又は複数個の第1出力変数の状態を表わす真理値表を確立し、バストランジスタの出力リードへ通過された場合に1個又はそれ以上の所望の出力変数を発生する入力変数を各入力状態に対して前記第1真理値表に記入し、尚前記入力変数はその入力状態に対するバス関数を有しており、各々が前記第1真理値表よりも変数の数が減少されており各々が複数個の第2出力変数の1個又はそれ以上を表わす複数個の第2真理値表を確立し、前記各第2真理値表

に対して関連する修正したカルノウマップ内に入力変数の各状態に対するバス関数を記入し、尚前記修正したカルノウマップの各状態は所望の出力変数を発生する特定の入力変数を有しており又前記特定の入力変数は入力変数のその状態に対するバス関数として呼称され、各状態が少なくとも1個のバス変数を有するように入力変数の各状態に対する各バス関数内に於いて同一のバス変数を見付け出し、前記バストランジスタの前記ゲートを制御する為に前記入力変数の中から前もって見付け出した同一のバス変数とは独立の制御関数を見付け出すことを特徴とする方法。

2. 上記第1項に於いて、制御関数を見付け出す工程に於いて、バス関数と同一の制御関数を有するバストランジスタは制御関数によって導通状態とされた場合に高レベル信号を通過させ、且つバス関数の否定の制御関数を有するバストランジスタは制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用してバス関数を制御変数とは独立的なものとする

ことを特徴とする方法。

3. 上記第2項に於いて、更に複数個のバストランジスタ回路を描き、且つ前記複数個のバストランジスタ回路を結合して単一のバストランジスタ回路とする各工程を有することを特徴とする方法。

4. 与えられた論理関数を表わす論理回路であって該回路がその基本要素としてバストランジスタを使用しており該バストランジスタは入力リードと出力リードと制御関数によって制御される制御リードと有する論理回路を形成する方法に於いて、所望の論理関数の第1真理値表であって入力変数の各状態に対し1個又はそれ以上の出力変数の状態を表わす真理値表を確立し、各々が前記第1真理値表より変数の数が減少されており各々が複数個の第2出力変数の1個又はそれ以上を表わす複数個の第2真理値表を確立し、前記各第2真理値表内に各入力状態に対してバストランジスタの出力リードへ通過された場合にその真理値表に対する所望の1個又はそれ以上の出力変数を発

生する入力変数を記入し、尚前記入力変数はその状態に対するバス関数を有しており、各状態が少なくとも1個のバス変数を有する様に入力変数の各状態に対して各バス関数内の同一のバス変数を見付け出し、前記バストランジスタの前記ゲートを制御する為に前記入力変数の中から前以って見付け出した同一のバス変数とは独立的な制御関数を見付け出すことを特徴とする方法。

5. 上記第4項に於いて、制御関数を見付け出す前記工程に於いて、バス関数と同一の制御関数を有するバストランジスタは前記制御関数によって導通状態とされた場合に高レベル信号を通過させ且つバス関数の否定の制御関数を有するバストランジスタは前記制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用して、前記バス関数を前記制御関数とは独立的なものとすることを特徴とする方法。

6. 上記第5項に於いて、更にバストランジスタ回路を描く工程を有する事を特徴とする方法。

3. 発明の詳細な説明

本発明は、論理回路に関するものであって、更に詳細には、バストランジスタとして知られる論理要素に関するものであり、論理関数を実行するために必要とされる能動デバイスの数を実質的に減少させる為にバストランジスタを使用して構成した論理回路及びその構成方法に関するものである。

組合せ論理回路を使用するクラシックな論理設計方法によってブール論理式を実現することが可能である。MOS技術を使用して論理回路を構成する場合には、NANDゲート、NORゲート、インバータゲートを容易に構成することが可能であることからこれらのゲートを使用して論理回路を構成することがよく行なわれる。バストランジスタ(PASS transistor)はよく知られた別のMOS構造を有するものである。バストランジスタに関しては、例えばMead及びConway共著の“VLSIシステムの初歩(Introduction to VLSI Systems)”，24-25頁，に記載されている。しかしながら、クラシカルな論理設計方法による場合にはバストランジスタを使

用した回路となることはない。

第1a図は、バストランジスタ及びその論理関数を示している。バストランジスタ10へのゲート乃至は制御電極13が励起されると(“励起”とは入力リード11と出力リード12との間に導通路を形成する為の電圧に駆動することを意味する)、トランジスタ10は入力リード11に於ける論理状態を出力リード12へバス、即ち通過させる。MOSトランジスタは双方向性であるので、MOSトランジスタの入力リード及び出力リードは任意に選択することが可能である。便宜上、以下の記載に於いては、入力リードを論理状態源、即ちソースによって駆動される端子として定義する。バストランジスタ10の出力リード10は、通常、通過した論理状態を別の直列接続されている論理構成体の入力リードへ印加する。制御電極が励起される全てのバストランジスタが同一の論理状態を通過するものである限り、多数のバストランジスタの出力リードを共通接続させて或る論理構成体の同一の入力端を駆動することが可能で

ある。双方向性の伝達ゲートとしてバストランジスタを使用することは、Douglas G. Fairbairnの“VLSI: システム設計者にとっての新天地 (VLSI: A New Frontier for Systems Designers)”, 1982年1月発行; コンピュータ・ジャーナル・オブ・ザ・IEEE, という文献に記載されている。

本発明は以上の点に鑑みなされたものであって、新規な論理回路の構成方法を提供することを目的とする。本発明によれば、バストランジスタを使用して論理回路を構成するものであって、そうすることにより結果として得られる論理回路の規則性を最大限に増加させるものである。本発明を使用して得られる論理回路は、組合せ論理を構成する為に使用された場合に於いては、従来の論理回路の場合と比較して構成上、電力上、動作速度上の点に於いて著しく向上されたものとなっている。

論理要素としてバストランジスタを使用する場合には、MOS集積論理回路の様な従来の論理回路を使用したNAND, NOR, インバータ構造

と比較して幾つかの利点を享受することが可能である。第1にバストランジスタは定常状態に於いて著しい電力消費を来たすことがない。第2に、バストランジスタのアレイは規則的なトポロジー構成を形成するので、NAND, NOR, インバータアレイを使用した場合と比較して或る与えられた論理関数に対しより少ない面積を占有する場合が多い。第3に、バストランジスタを使用して形成した組合せ論理は、回路を介しての信号の伝播遅れを減少させる場合が多い。

一方、バストランジスタを使用した場合の主要な欠点は、バストランジスタとして使用する電界効果型トランジスタの特性に起因してその出力リードに得られる論理高信号の電圧レベルが劣化されるということであるが、このことは回路設計を注意深く行なうことによって解消することが可能である。又、バストランジスタ制御入力に別のバストランジスタの出力によって駆動されるもので無い場合には、1個のバストランジスタを介して論理高レベル信号を通過させた後に於いては、そ

の信号をN個の付加的なバストランジスタを介して通過させた場合に於いても電圧レベルに於いて著しい付加的な劣化が発生することはない。

以下、添付の図面を参考に、本発明の具体的実施の態様について詳細に説明する。組合せデジタル論理回路のクラシカルな設計方法を以下の例によって説明する。まず、所望の論理関数に対して真理値表を形成する。第2a図は、排他的NOR又はそれと等価なゲートに対する真理値表を示している。入力Aの値が入力Bの値と等しい場合には、出力は論理1状態となる。入力Aの値が入力Bの値と等しくない場合には、出力は論理0状態となる。次いで、この真理値表に関する情報をカルノウマップに記入する。出力関数は簡略化され、ループ技術を使用してカルノウマップから読取られる。排他的NORの真理値表をカルノウマップに表わしたものを第2b図に示してあり、且つそれをブール関数で表わしたものを第2c図に示してある。次いで、この関数を論理AND関数ゲート及び論理OR関数ゲートを使用して回路を構成

する。従来の論理構成体を使用してこの関数に対応する回路を構成する場合には、2個のAND関数と1個のOR関数とを必要とする。MOSで構成しようとする場合には、電力を散逸する2個のノードと2個のゲート遅れとが存在し、且つ7個のトランジスタを必要とする。

次に、バストランジスタを使用して組合せ論理回路を設計する方法について説明する。第3a図に示した真理値表は、入力変数及び/又はそれらの否定を通過させることによって出力関数 $Z = \bar{A}\bar{B} + AB$ が得られることを示している。例えば、この真理値表の第1状態に於いて、入力変数AとBとが両方とも低状態であり、従って出力変数Zは高状態である。即ち、ZはAの否定又はBの否定(即ち、 \bar{A} 又は \bar{B})を通過させることによって形成させることが可能である。第2状態に於いては、Aが低状態でありBが高状態である。この場合には、Zが低状態であるので、ZはA又はBの否定(即ち、A又は \bar{B})を通過させることによって形成させることが可能である。その他の

2つの状態のバス関数も同様に得ることが可能であり、第3a図の真理値表に示してある。次いで、これらのバス関数を第3b図に示した如くカルノウマップの適宜の状態内に記入する。ここで注意すべきことであるが、通常のカルノウマップに於ける出力信号の代りにバス構成要素が置き替わっていることである。カルノウマップ上に於いてバスされる同一の変数が隣接した状態にあるものを見付け出し、次いで、第3c図に示した如く、これらのものを同一のループで囲み制御関数を簡略化する。この様なループを形成する場合に、以下の如き基準に基づいて通常のカルノウマップに於ける簡略化手法を使用することが可能である。第1に、バストラジスタの制御入力が高状態である場合にはバストラジスタからの出力信号は不定であるので、カルノウマップの各“care”状態にある変数はバスされねばならない。尚、“care”状態とは1個の入力状態であってそれに対して出力状態が確定されねばならないものであり、屢々単に“状態”として呼称される。第2に、バスさ

れた変数は与えられた状態に於いて同一の論理レベルにあるということをバス関数は確保するものであるから、各状態に於いて2個以上の変数をバスさせることが可能である。第3にループ内にdon't care状態が1度包含されると、その状態に対してのバス関数は確立される。

バストラジスタを使用する等価ゲートに対する可能なマッピングとしては、Aが低である場合にBの否定をバスさせ、且つAが高である場合にBをバスさせることである。このマッピングを第3c図に示してある。 \bar{A} はバス関数 \bar{B} をバスさせる制御関数であり、且つAはバス関数Bをバスさせる制御関数である。このようにして得られたバストラジスタ回路を第3d図に示してある。第3d図に示したバストラジスタを使用した排他的NORは定常状態に於いて著しい電力散逸を発生することがなく、1個のバストラジスタ遅れを有するものであるが、2個のトランジスタのみから構成されるものである。従って、クラシカルな論理設計方法による場合と比べて電力、動作速

度、占有面積の点に於いて著しく向上されている。

一方の回路構成が他方のものよりも占有面積の点で有利であるということは論理回路図や模式図等から常に明白に理解されるものとは限らない。更に、使用するトランジスタの数が少ないとしても、トランジスタの数は電気的な相互接続に必要な面積に関する条件を要するものではないから、回路をレイアウトした場合にトランジスタの数が少ないということは必ずしも使用するシリコン面積が小さいということを補償するものではない。2個の回路に於いてどちらが占有面積の点に於いて有利であるかということの比較を行なう場合には、トランジスタの数と規則性の両方を考慮せねばならない。この回路の規則性という概念は、例えば、Carver Mead及びLynn Conway共著による“VLSIシステムの初歩(Introduction to VLSI Systems)”。3.1章、1980年、アディソン・ウェズリー出版社、の文献に記載されている。

制御変数の組とバスされた変数の組との交点が

弱の組である場合に、バストラジスタアレイのトポロジイに対して最大の規則性が確立される。このことは、バスされる即ち通過される変数が或る一方向に流れると共に制御変数がそれと直角方向に流れることを許容する。尚、“制御”変数とは、バストラジスタの制御端子を駆動する入力変数である。又、“バス”変数とは、バストラジスタの入力端子を駆動する入力変数であって、バストラジスタがオンされた場合にその出力端子にバスされる変数である。制御関数をループで囲む場合に制御変数のみの関数である様にループで囲むことが可能である場合には、制御関数に於ける規則性を最大のものとするのが可能である。一方、バス関数を制御変数とは独立のものとすることによってバス関数に於ける規則性を最大とすることが可能である。この様な独立性は以下の如き恒等条件を使用することによって確立することが可能である。即ち、入力信号が変数Xであり且つ制御信号もXであるバストラジスタは常に1をバスする。このことは、第4a図に示した如く、

入力信号が高であり制御信号がXであるバストランジスタと等価である。同様に、入力信号がXであり且つ制御信号Xであるバストランジスタは常に0をパスする。このことは、入力信号が低であり制御信号がXであるバストランジスタと等価である。第4a図及び第4b図はこれらの状態を示している。

繰返し型の組合せアレイは、1個の回路構成に於ける面積を別の回路構成に於ける面積と容易に比較することが可能な種類の組合せ論理回路である。この場合には、アレイの1要素のレイアウトを描くことによって面積を比較することが可能である。

繰返し型の組合せアレイを例示するのに有用な回路はデジタルマグニチュード（デジタル値）

コンパレータである。2個のデジタルワードA =

$A_{n-1}, A_{n-2}, \dots, A_1, \dots, A_0$ 及びB =

$B_{n-1}, B_{n-2}, \dots, B_1, \dots, B_0$ のマグニチ

ュードの比較は、i番目のビットを比較すると共にそれ以上の全ての桁のビットの比較の結果によ

って行なわれる。完全な比較を行なうためには3個の情報、即ち $A > B$ 、 $A = B$ 、 $A < B$ を得なければならないが、その内の1個は他の2個から導き出すことが可能である。 $A > B$ 及び $A < B$ の場合を選択することが回路を構成する上で好ましいものであることを示すことが可能である。第5図は、 $A_i > B_i$ であって且つ $C_{i+1} = 0$ 又は $C_{i+1} = 1$ である場合には C_i が高であって $A \theta B$ であり、又 $D_{i+1} = 1$ 又は $A_i < B_i$ であり且つ $D_{i+1} = 0$ の場合には D_i が高であって $A \square B$ であることを表わす比較構成を示している。

マグニチュードコンパレータを設計する場合の第1ステップは、第6図に示した様な真理値表を確立することである。次いで、可能なパスされる変数を真理値表に付け加え、各状態に対するパス

関数を定義づけ、これらのパスされる変

したカルノウマップに記入する。真理値

になった状態に関連して同一のパス変数が

ことが分るような単純なケースの場合には修正したカルノウマップを省略することが可能である。

このようにして、パスされる変数のグループをループで纏める準備が成される（即ち、同一の変数を見付け出し丸で取り囲む）。 C_{i+1} 及び D_{i+1} は C_i 及び D_i を夫々直接的に影響を与えるものであるから、これらをパスされる変数として選択するのが良い。第7図に示した如く、カルノウマップにループ即ち丸印を付すことによって、制御関数は変数 A_i 及び B_i のみの関数であり、且つパス関数 C_{i+1} 及び D_{i+1} は変数 A_i 及び B_i とは独立であることが分る。この様なバストランジスタアレイの回路構成を第8a図に示してあり、又NチャンネルMOS技術を使用した場合の集積回路レイアウト構成を第8b図に示してある。第8b図に於いて、MOSTランジスタは2つの直交する線の交点で示してあり、導電性クロスアンダーは塗りつぶした四角印で示してある。ゲート電極は A_i 、 \bar{A}_i 、 B_i 、 \bar{B}_i を付した垂直線に対応し、水平線 C_{i+1} 及び D_{i+1} は拡散導電線及びソース領域、ドレイン領域を有している。

基本要素としてバストランジスタを使用する論

理回路を構成する場合の基本的な設計方法は以下の如くである。

* * *

- (1) 所望の関数の真理値表を確立する。
- (2) 真理値表にパス関数を記入する（このパス関数は入力変数又は所望の出力信号を発生する為にバストランジスタの出力リードへパスされる入力変数の否定である）。
- (3) パス関数を修正したカルノウマップに記入する。その場合に、修正したカルノウマップの各状態は所望の出力変数を発生する特定の入力変数（パス関数と呼ばれる）を有している。
- (4) 各パス関数内における同一のパス変数をループで囲む（即ち、同一のものを見付け出しグループ化する）。この場合に、各care状態（care状態は出力変数を定義付けねばならない場合の1組の入力変数である）がループの中に少なくとも1個のパス変数を有し、且つ制御関数（即ち、制御関数はバストランジスタのゲートを制御する関数である）がパス変数とは独立である様にする。

(5) 第4a図及び第4b図に示した回路の同等性を使用してバス関数を制御変数から独立的なものとさせる。

(6) バストランジスタ回路を描く。

＊ ＊ ＊

第3a図乃至第3d図は上述した手法の一例を示している。前述した如く、或る場合には上述したステップ3を省略することが可能である。

第9a図乃至第9c図は、ANDゲートを表わすバストランジスタ論理回路を構成する場合の方法を示している。第9c図に示した如く、バストランジスタ論理回路は2個のバストランジスタのみによって構成されており、一方従来技術によって構成する場合には3個乃至5個のトランジスタが必要である。尚、第9c図の論理回路に於いては、バス関数Aは第4b図の回路の同等性に基づいて電圧 V_{ss} (回路接地又は基準電圧)と置換されている。

第10a図乃至第10c図はバストランジスタを使用してNANDゲートを構成する場合の真理

値表、カルノウプロット、論理回路を夫々示している。一方、第14a図乃至第14c図はバストランジスタを使用して排他的NORゲートを構成する場合の真理値表、カルノウプロット、論理回路を夫々示している。

第9c図、第10c図、第11c図、第12c図、第13c図、第14c図の夫々に示した如く、各論理回路は2個のバストランジスタのみを使用するに過ぎない。各バストランジスタはA又は \bar{A} 信号の何れかによって制御される。各論理回路は2個の入力変数A及びBの4個の異なる可能な入力状態の何れか1つに回答して適宜の出力状態を発生することが可能である。第9c図、第10c図、第11c図、第12c図の夫々に於いて、第4a図及び第4b図の回路の同等性を使用した結果として、バス変数の何れもが制御変数に関連するものではない。その結果、各回路は極めて簡単な構成となっている。

第15a図乃至第15d図は、本発明の手法及び原則を使用することによって全加算器を構成す

る。カルノウプロット、論理回路を夫々示している。ここに於いても、本発明に基づいてバストランジスタを使用し論理回路を構成する場合には極めて構成が簡単化されることが明白に示されている。第10c図の論理回路に於いては、第4a図の回路の同等性に基づいてバス関数 \bar{A} は電圧 V_{DD} (供給電圧)で置換されている。

第11a図乃至第11c図は、バストランジスタを使用してORゲートを構成する場合の真理値表、カルノウプロット、論理回路を夫々示している。第11c図の論理回路に於いては、第4a図の回路の同等性に基づいてバス関数Aが供給電圧 V_{DD} で置換されている。

第12a図乃至第12c図はバストランジスタを使用してNORゲートを構成する場合の真理値表、カルノウプロット、論理回路を夫々示している。第12c図の論理回路に於いては、第4b図の回路の同等性に基づいてバス関数 \bar{A} が基準電圧 V_{ss} で置換されている。第13a図乃至第13c図はバストランジスタを使用して排他的ORゲ

る方法を示している。全加算器に関連するキャリー(第15d図)は8個のバストランジスタを使用することによって構成することが可能である。一方、従来技術におけるスタンダードな論理要素を使用して構成する場合には一層複雑な構成となり、例えばDonald Eadie 著による“基本的なコンピュータの初歩(Introduction to the Basic Computer)”，ブレンティスホール出版社発行、1968年、の文献の123頁第7-3図に示されている。本発明の加算回路は更に別の8個のバストランジスタを使用して形成されており、第16a図乃至第16c図にその様な加算回路を構成する場合の真理値表、カルノウプロット、バストランジスタ構成を夫々示している。

第16d図はバストランジスタを使用し第16c図に示した回路を構成した場合のレイアウトを示している。第16d図から制御関数及びバス関数が規則性及び直交性を有していることが容易に理解される。この構造はNチャンネルMOSトランジスタを使用して構成されており、この構造に

おける異なった層は図中に示した注釈によって示されている。即ち、“poly”として示されているポリシリコンの層はNチャンネルMOSトランジスタのゲート電極を有しており、且つ拡散として示されている層はNチャンネルMOSトランジスタのソース領域とドレイン領域とを有すると共に隣接するトランジスタのソース領域とドレイン領域との間の導電性相互接続体を有している。

従って、第16d図は全加算器15dのキャリア部分と、加算回路16cと、全加算器15dから派生される全加算器の相補キャリア部分とを示しており、第16d図に示した構造はN+拡散（ハツ印を付けた線で示してある）、ポリシリコン（直線で示してある）及び金属（直交する短い線を付した直線で示してある）を使用してレイアウトしてある。深い空乏層設クロスアンダーは黒く塗り潰した矩形印で示してある。これらの埋設クロスアンダーは電流導通路として機能する。MOSトランジスタは第16f図に示した如く模式的に図示してあり、第16f図に示した如く、ポ

リシリコンゲートラインはN+拡散ラインと直交している。N+トランジスタ内のポリシリコンゲートの下方にはチャンネル領域が存在しており、該チャンネル領域の導電度はポリシリコンラインに於ける信号レベルによって制御される。このレイアウトが直交性を有することは第16d図から明白である。第16d図は8ビット加算回路の1部を示しており、第16f図に示す様な回路の隣接部分と構成上合致する様に設計されている。尚、第16d図に関して上述した各記号の注釈は第8b図、第17d図、第17h図、第19f図の夫々の場合にも同様に適合する。

第17a図及び第17b図はプライオリティエンコーダ用の真理値表及び修正したカルノウマップを示している。第17b図に示した修正したカルノウマップは2つの部分からなっている。その1つの部分は、出力Bを得る為に使用することの可能な特定のパス関数を例示している。しかしながら、カルノウマップが示すところによれば、入力変数ABが値00又は01を有し且つ入力変数

Cが0と等しい場合には、パス関数は \overline{B} であって出力関数Bを発生させている。Cの値が1でありABの値が00又は01の何れかである場合には、Dの値を発生させるのに必要なパス関数は、ループで囲んだ如く \overline{C} が又はAである。ABが11又は10である場合には、Cの何れの値に対しても、Dの値を発生させる為のパス関数はAである。

出力変数Eに対する同様な解析を第17b図の修正したカルノウマップの2番目の部分について示してある。図示した特定の論理は第17c図に示した様な回路に構成され、第17d図に示した様なレイアウトとなる。前述した如く、第17d図のレイアウトに於ける各構成部分は第16d図に示した記号と同一の記号で示されている。

次いで、第17e図及び第17f図に示した如く、これらのパス変数を変換して第17d図に示した構造を簡略化し第17g図に示した回路を形成する。第17g図に示した回路は第17c図に示した回路が10個のトランジスタを有するのとは比べ16個のトランジスタを有しているが、トポ

ロジーの観点から見たレイアウトは著しく簡略化されている。即ち、第17g図に示した16個のトランジスタの配置は、電源線 V_{DD} 、 V_{SS} 及び信号入力ラインA、 \overline{A} 、B、 \overline{B} 、C、 \overline{C} を一箇合理的に配置させることを可能としている。第17h図は、第17g図に示したバストランジスタの実際のレイアウトを模式的に示している。

第18a図は、2進アップ・ダウンカウンタの模式的ブロック図を示している。このカウンタの真理値表を第18b図に示してある。入力変数 D 、 T_{i-1} 、 Q_i が出力変数 D_i 及び T_i の状態を制御する。出力変数 D_i に対する修正したカルノウマップを第18c図に示してあり、一方出力変数 T_i に対する修正したカルノウマップを第18d図に示してある。出力変数 D_i を発生する為のパス関数を与える為にループで囲まれている特定の関数は、 $Q_i = 0$ に対する変数 T と変数 D 及び T_{i-1} の全ての関数であり、且つ $Q_i = 1$ に対する変数 \overline{T} と D 及び T_{i-1} の全ての関数である。第18d図に示した如く、出力変数 T_i はループで

囲んだパス関数によって発生される。真理値表を実現する為の構成を第18e図に示してある。変数 D 及び T_{i-1} の全ての値及び $Q_i = 0$ に対しては、出力関数 D_i は \overline{Q} 制御信号へ T 入力信号をパスさせることによって発生される。 $Q = 1$ 及び D と T_{i-1} の全ての値に対する出力変数 D_i は、 Q ゲート制御信号で入力信号 T をパスすることによって発生される。この構成は第18e図の回路の上部2つのラインに構成して示してある。 T_i 出力変数は4個の関数の通路によって発生され、 T_i 出力信号の全ての可能な組合せを発生する為には制御関数及びパス関数の4個の異なる可能な組合せが必要であることを反映させている。 D と T_{i-1} の値が11又は10であり Q_i が0である場合には、 T_{i-1} 入力信号は、夫々 \overline{Q}_i 制御信号及び D 制御信号によって制御されるトランジスタ184及び185によって通過され、又 D と T_{i-1} が00又は01であり且つ Q_i が1である場合には、夫々 Q_i 入力信号及び \overline{D} 入力信号によって制御されるトランジスタ182及び183によって通過

される。 Q が0又は V_{ss} である場合には、 Q_i 入力信号は夫々 \overline{Q} 信号及び \overline{D} 信号によって制御されるトランジスタ186及び187によって通過され、又 Q_i が1であるか又は \overline{Q}_i が V_{ss} である場合には、 \overline{Q} 入力信号(これは第4b図の変換によって V_{ss} と等価である)は Q_i によって駆動されるゲートによって制御されるトランジスタ188及び189によってパスされる。

第19a図は2進アップカウンタへの入力信号及びそれからの出力信号を模式的に示したブロック図である。第19b図は入力変数 T_{i-1} 及び Q_i とこれら入力変数と出力変数 D_i 及び T_i との関係を示した真理値表である。第19c図及び19d図は入力変数 T_{i-1} 及び Q_i の関数として出力変数 D_i 及び T_i に対する修正したカルノウプロットを夫々示している。第19e図は入力変数 T_{i-1} 及び Q_i を使用して導き出された本発明のバストラジスタを使用する論理を回路の形に実現した構成を示しており、第19b図のカルノウプロットに示した如く、 Q_i は第4b図の等価

回路に従い V_{ss} の値のみを有している。第19f図は第19e図に示した回路のレイアウトを模式的に示している。

第20a図は入力 J と K 及び入力 Q と出力 D とを有する JK フリップフロップに対する真理値表を示している。第20b図は第20a図の真理値表に対する修正したカルノウマップを示している。第20c図は本発明のバストラジスタを使用してフリップフロップを構成した場合の回路を示している。この回路構成に於いては2個のバストラジスタのみを必要としており、このことは第20b図の修正したカルノウプロットに於いて2個のループで囲んだパス関数のみが存在するということに対応している。第20d図は、第16d図に示した記号を使用してこの構成を極めて簡単な構成で模式的に示したものである。

第21a図は、左シフトホールド回路及びその回路の入出力変数を模式的に示したブロック図である。入力変数 C 、 Q_{i-1} 、 Q_i は出力変数 D_i を発生する。この回路に対する修正したカルノウ

プロットを第21c図に示してあり、第21d図に示した如く、2個のトランジスタを使用した回路として構成される。この2個のトランジスタからなる回路の模式的なレイアウトを第21e図に示してある。

特に最後の2つの回路構成から明らかな如く、本発明の構造は従来の論理回路に於ける構成と比べて著しく簡単化されている。従って、本発明によればトポロジーに於ける利点が得られると共に、コンポーネントの複雑性を著しく減少させている。本発明に基づいて構成される構造に於いては、単位面積当たりの論理関数の集積度を向上させており、従って従来のものと同等の集積度とした場合には一層小型のものとすることが可能であり、又同一のシリコンチップ上には一層多数のデバイスを形成することが可能である。当然、上述した如きデバイスは例えば N チャンネル MOS 技術の様なスタンダードな半導体処理技術を使用して構成されるものである。しかしながら、本発明は P チャンネル MOS 技術や $CMOS$ 技術等の様なその

他の半導体技術を使用して構成することも可能である。

第22a図に模式的に示した如く、ダイナミックDラッチの設計は、バストランジスタの高インピーダンス状態を使用する別の例である。Dラッチの機能は1ビットの情報をストアすることである。第22b図の真理値表に示した如く、負荷信号IとDが高状態とされた場合にストアされている情報は入力されたデータの論理レベルへアップデートされる。負荷信号IとDが低となると、そのデータはバッファアンプ19(第22d図)のゲート容量上の電荷の形でストアされる。バス変数を第22c図に示したカルノウマップの適宜の状態へ記入する。ここで、Xの記号は電荷がストアされていることを表わしている。Xが存在しない状態に於けるバス変数をループで取り囲める。従って、電荷がストアされている状態には変数はバスされない。その結果得られるバッファを有するバス回路を第22d図に模式的に示してある。

3状態能力を有するバストランジスタに於いて

(第23c図)から6個のトランジスタ(第24d図)へ減少させることが可能であることを示している。

以上、本発明の具体的構成について詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

4. 図面の簡単な説明

第1a図及び第1b図はバストランジスタ及びバストランジスタの真理値表を夫々示した各説明図、第2a図乃至第2d図はANDゲートとNORゲートとインバータとを使用して構成した論理関数 $Z = \overline{A}B + AB$ に対する真理値表、カルノウプロット、ブール式を示した各説明図、第3a図乃至第3d図は第2c図に示した同一の論理関数に対する真理値表、カルノウマップ、等価ゲートに対するバス関数のループ化、その結果得られるバストランジスタ回路を夫々示した各説明図、第4a図及び第4b図はバストランジスタを使用し

も、N個の変数を有するマップを各々が2個の変数を有するM複数個のマップへ変換することによって組合せ回路を簡略化することが可能である。尚、ここで $2^{M-1} \leq N \leq 2^M$ である。第23a図乃至第23c図は本発明の1実施例に基づいて組合せバス回路を導き出す例を示している。本発明の別の実施例によれば、第23a図の3変数真理値表を各々が2個の変数を有する2個の真理値表(第24a図)へ分解する。第23a図の真理値表を変数Aに関して第24a図の2個の真理値表へ分解する。第24b図のカルノウマップを操作して第24c図に示した如く関数X及び関数Yを形成する。第24c図の出力信号XとYとを与える2個の回路を結合し、第24d図の回路を形成する。第24d図の回路に於いては、Aが低である場合にXを通過させることにより出力信号Zが得られ、又Aが高である場合にYを通過させることにより出力信号Zが得られる。第24d図の回路は、第23a図の真理値表に示した3変数関数を回路の形で実現する場合に8個のトランジスタ

で論理回路を形成する為に使用される2個の機能的な等価物を夫々示した各説明図、第5図は公知の構成を有するマグニチュードコンパレータ構造を模式的に示したブロック線図、第6図は第5図に示したマグニチュードコンパレータに対する真理値表を示した説明図、第7図は第6図の真理値表によって必要とされる論理関数を形成する為に必要なバス関数をループ化した状態を示したカルノウマップを図示した説明図、第8a図及び第8b図は第6図の真理値表を実現する為に必要な論理回路のバストランジスタ構成を示した説明図と第8a図に示したトランジスタのシリコンレイアウト(第16d図及び第16f図に示した記号と同一の記号を使用)を示した説明図、第9a図乃至第9c図はANDゲートに対する真理値表、ループしたバス変数を有するカルノウマップ、その結果得られる論理回路を夫々示した各説明図、第10a図乃至第10c図はNANDゲートに対する真理値表、ループしたバス変数を有するカルノウマップ、バストランジスタを使用して構成した

論理回路を夫々示した各説明図、第11a図乃至第11c図はORゲートに対する真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第12a図乃至第12c図はNORゲートに対する真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第13a図乃至第13c図は排他的ORゲートに対する真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第14a図乃至第14c図は排他的NORゲートに対する真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第15a図乃至第15d図は全加算器のキャリー発生器に対するブロック線図、真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第16

a図乃至第16c図は全加算器の加算回路に対する真理値表、ループしたパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路を夫々示した各説明図、第16d図は全加算器構造に対する第16c図に示した回路のレイアウトを示した説明図、第16e図は第16d図の構造と完全な加算回路との関係を示した説明図、第16f図は第16d図に示したMOSトランジスタの構成を模式的に示した説明図、第17a図乃至第17d図は真理値表、丸で囲ったパス関数を有するカルノウマップ、バストランジスタを使用して構成した論理回路、第17c図の回路を半導体NチャンネルMOSトランジスタで構成した場合の平面的構成を示した各説明図、第17e図及び第17f図は第17c図の構成に於いて使用したパス変数から制御変数への変換を説明する為の各説明図、第17g図及び第17h図は第17c図の回路に第17e図及び第17f図に示した変換を行なった後の論理回路及びその論理回路をNチャンネルMOS技術で構成した場合のレ

イアウトを夫々示した各説明図、第18a図は2進アップダウンカウンタを示したブロック線図、第18b図乃至第18e図は真理値表、ループした入力パス関数を有する1対のカルノウマップ、そのカルノウマップを実現した回路を夫々示した各説明図、第19a図は2進アップカウンタの模式的ブロック線図、第19b図乃至第19f図は第19a図の2進アップカウンタに対する真理値表、ループしたパス関数を有する1対のカルノウマップ、回路構成、NチャンネルMOSトランジスタを使用して回路を実現したレイアウトを夫々示した各説明図、第20a図乃至第20d図はJKフリップフロップに対する真理値表、ループしたパス関数を有するカルノウマップ、回路構成、NチャンネルMOSトランジスタを使用して回路を実現したレイアウトを夫々示した各説明図、第21a図は左シフトホールド回路を示した模式的ブロック線図、第21b図乃至第21e図は左シフトホールド回路に対する真理値表、丸で囲んだパス関数を有するカルノウマップ、回路構成、Nチャ

ンネルMOSトランジスタを使用した回路構成を夫々示した各説明図、第22a図及び第22b図はダイナミックDラッチの模式的ブロック線図及び真理値表を夫々示した各説明図、第22c図及び第22d図は第22a図のダイナミックDラッチに対するカルノウマップ及びバストランジスタを使用して形成した回路を夫々示した各説明図、第23a図乃至第23c図は本発明に基づいて構成した組合せ回路の1構成例を示した各説明図、第24a図乃至第24d図は本発明の別の実施例に基づいて第23a図乃至第23c図の組合せ回路を構成した場合の別の構成例を示した各説明図、である。

特許出願人 アメリカン マイクロシステムズ、
インコーポレイテッド

代理人 小 橋 一 男

問 小 橋 正 明

男小橋
之徳正
の二子

男小橋
之徳正
の二子

図面の添字(内容に変更なし)

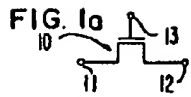


FIG. 2a

AB	Z
00	1
01	0
10	0
11	1

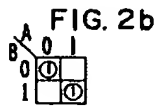
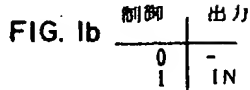


FIG. 2c

$$Z = \bar{A}\bar{B} + AB$$

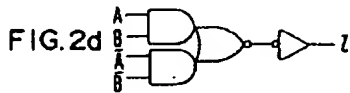


FIG. 3a

AB	Z	パス
00	1	$\bar{A} + \bar{B}$
01	0	$A + \bar{B}$
10	0	$\bar{A} + B$
11	1	$A + B$

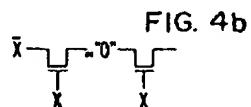
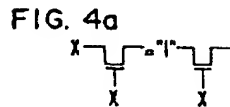
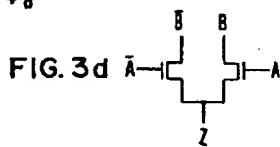
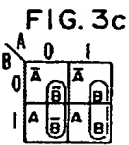
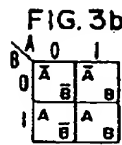


FIG. 7

$A_i B_i$	00	01	11	10
$C_{i-1} D_{i-1}$	00	01	11	10
00	$\bar{A} \bar{B} \bar{C} \bar{D}$	$\bar{A} \bar{B} \bar{C} D$	$\bar{A} \bar{B} C \bar{D}$	$\bar{A} \bar{B} C D$
01	$\bar{A} \bar{B} C \bar{D}$	$\bar{A} \bar{B} C D$	$\bar{A} B \bar{C} \bar{D}$	$\bar{A} B \bar{C} D$
11	$\bar{A} B \bar{C} \bar{D}$	$\bar{A} B \bar{C} D$	$A \bar{B} \bar{C} \bar{D}$	$A \bar{B} \bar{C} D$
10	$A \bar{B} \bar{C} \bar{D}$	$A \bar{B} \bar{C} D$	$A B \bar{C} \bar{D}$	$A B \bar{C} D$

FIG. 8

$A_i B_i$	00	01	11	10
$C_{i-1} D_{i-1}$	00	01	11	10
00	$\bar{A} \bar{B} \bar{C} \bar{D}$	$\bar{A} \bar{B} \bar{C} D$	$\bar{A} \bar{B} C \bar{D}$	$\bar{A} \bar{B} C D$
01	$\bar{A} \bar{B} C \bar{D}$	$\bar{A} \bar{B} C D$	$\bar{A} B \bar{C} \bar{D}$	$\bar{A} B \bar{C} D$
11	$\bar{A} B \bar{C} \bar{D}$	$\bar{A} B \bar{C} D$	$A \bar{B} \bar{C} \bar{D}$	$A \bar{B} \bar{C} D$
10	$A \bar{B} \bar{C} \bar{D}$	$A \bar{B} \bar{C} D$	$A B \bar{C} \bar{D}$	$A B \bar{C} D$

FIG. 5

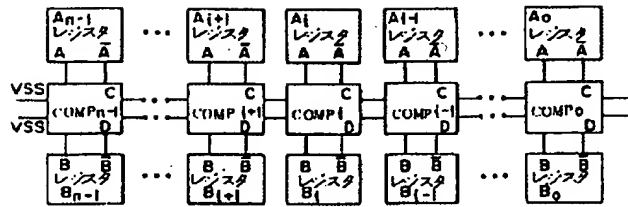


FIG. 6

FIG. 6

$A_i B_i$	$C_{i-1} D_{i-1}$	$C_i D_i$	パス
00	00	00	$\bar{A} + \bar{B} + \bar{C} + \bar{D}$
00	00	01	$\bar{A} + \bar{B} + \bar{C} + D$
00	00	10	$\bar{A} + \bar{B} + C + \bar{D}$
00	00	11	$\bar{A} + \bar{B} + C + D$
00	01	00	$\bar{A} + \bar{B} + \bar{C} + D$
00	01	01	$\bar{A} + \bar{B} + \bar{C} + D$
00	01	10	$\bar{A} + \bar{B} + C + \bar{D}$
00	01	11	$\bar{A} + \bar{B} + C + D$
00	10	00	$\bar{A} + \bar{B} + \bar{C} + D$
00	10	01	$\bar{A} + \bar{B} + \bar{C} + D$
00	10	10	$\bar{A} + \bar{B} + C + \bar{D}$
00	10	11	$\bar{A} + \bar{B} + C + D$
00	11	00	$\bar{A} + \bar{B} + \bar{C} + D$
00	11	01	$\bar{A} + \bar{B} + \bar{C} + D$
00	11	10	$\bar{A} + \bar{B} + C + \bar{D}$
00	11	11	$\bar{A} + \bar{B} + C + D$
01	00	00	$\bar{A} + \bar{B} + \bar{C} + D$
01	00	01	$\bar{A} + \bar{B} + \bar{C} + D$
01	00	10	$\bar{A} + \bar{B} + C + \bar{D}$
01	00	11	$\bar{A} + \bar{B} + C + D$
01	01	00	$\bar{A} + \bar{B} + \bar{C} + D$
01	01	01	$\bar{A} + \bar{B} + \bar{C} + D$
01	01	10	$\bar{A} + \bar{B} + C + \bar{D}$
01	01	11	$\bar{A} + \bar{B} + C + D$
01	10	00	$\bar{A} + \bar{B} + \bar{C} + D$
01	10	01	$\bar{A} + \bar{B} + \bar{C} + D$
01	10	10	$\bar{A} + \bar{B} + C + \bar{D}$
01	10	11	$\bar{A} + \bar{B} + C + D$
01	11	00	$\bar{A} + \bar{B} + \bar{C} + D$
01	11	01	$\bar{A} + \bar{B} + \bar{C} + D$
01	11	10	$\bar{A} + \bar{B} + C + \bar{D}$
01	11	11	$\bar{A} + \bar{B} + C + D$
10	00	00	$\bar{A} + \bar{B} + \bar{C} + D$
10	00	01	$\bar{A} + \bar{B} + \bar{C} + D$
10	00	10	$\bar{A} + \bar{B} + C + \bar{D}$
10	00	11	$\bar{A} + \bar{B} + C + D$
10	01	00	$\bar{A} + \bar{B} + \bar{C} + D$
10	01	01	$\bar{A} + \bar{B} + \bar{C} + D$
10	01	10	$\bar{A} + \bar{B} + C + \bar{D}$
10	01	11	$\bar{A} + \bar{B} + C + D$
10	10	00	$\bar{A} + \bar{B} + \bar{C} + D$
10	10	01	$\bar{A} + \bar{B} + \bar{C} + D$
10	10	10	$\bar{A} + \bar{B} + C + \bar{D}$
10	10	11	$\bar{A} + \bar{B} + C + D$
10	11	00	$\bar{A} + \bar{B} + \bar{C} + D$
10	11	01	$\bar{A} + \bar{B} + \bar{C} + D$
10	11	10	$\bar{A} + \bar{B} + C + \bar{D}$
10	11	11	$\bar{A} + \bar{B} + C + D$

FIG. 8a

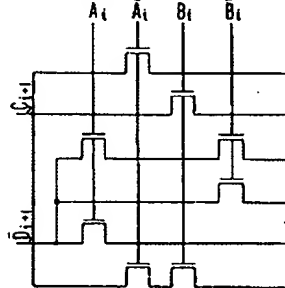


FIG. 8b

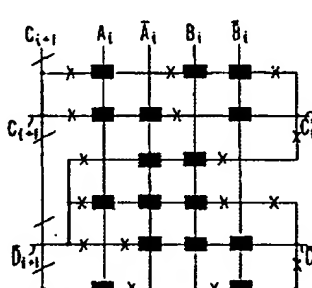


FIG. 9a

AB	C	パス
00	0	$\bar{A} + \bar{B}$
01	0	$\bar{A} + \bar{B}$
10	0	$\bar{A} + \bar{B}$
11	1	$A + B$

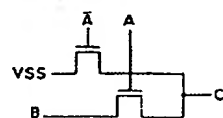
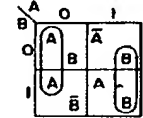


FIG. 10a

AB	C	パス
00	0	$\bar{A} + \bar{B}$
01	0	$\bar{A} + \bar{B}$
10	0	$\bar{A} + \bar{B}$
11	1	$A + B$

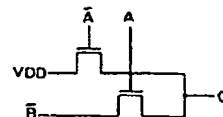
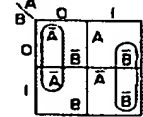


FIG. 11a

AB	C	パス
00	0	$\bar{A} + \bar{B}$
01	0	$\bar{A} + \bar{B}$
10	0	$\bar{A} + \bar{B}$
11	1	$A + B$

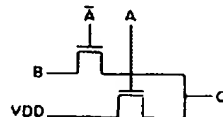
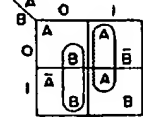


FIG. 17e

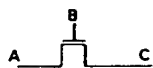


FIG. 17f

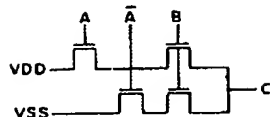


FIG. 17g

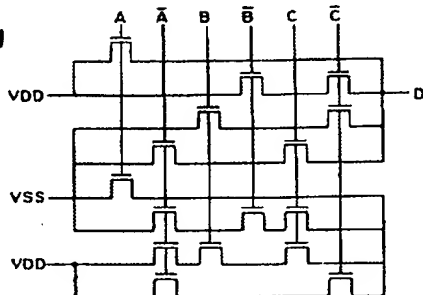


FIG. 17h

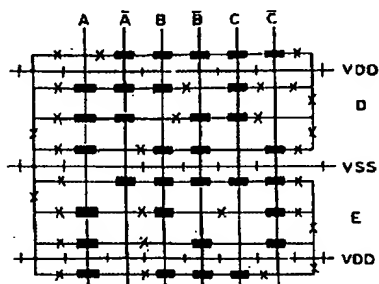


FIG. 18a

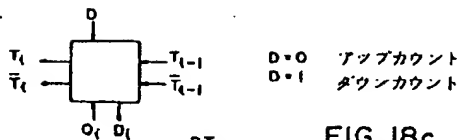


FIG. 18b

D	T _{l-1}	Q _l	D _l	T _l
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	1
1	1	1	1	1

FIG. 18c

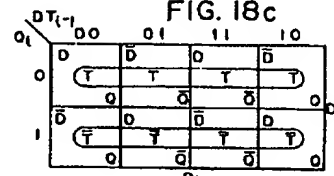


FIG. 18e

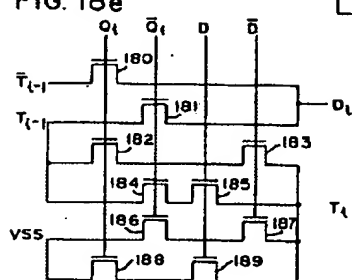


FIG. 18d

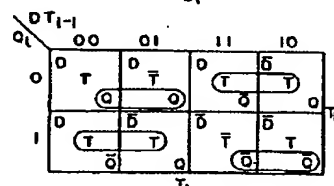
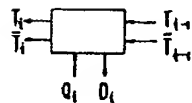


FIG. 19a



T _{l-1}	Q _l	D _l	T _l
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

FIG. 19b

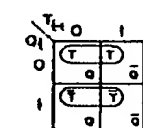


FIG. 19c

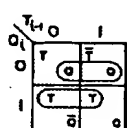


FIG. 19d

FIG. 19e

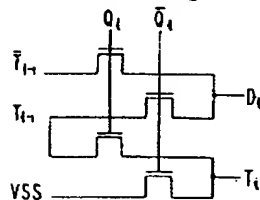


FIG. 19f

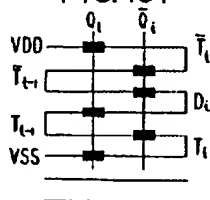


FIG. 20a

J	K	Q	D
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIG. 20c

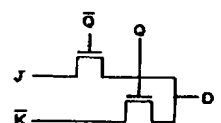


FIG. 20b

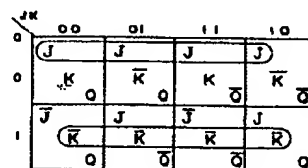


FIG. 20d

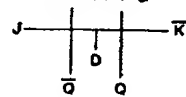


FIG. 21a

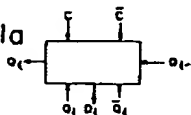


FIG. 21b

C	Q _{l-1}	Q _l	D _l
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

FIG. 21c

C=1 左シフト
C=0 ホールド

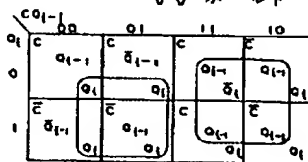


FIG. 21d

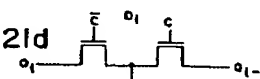


FIG. 21e

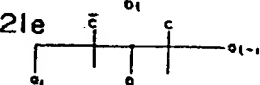


FIG. 22a FIG. 22b FIG. 22c FIG. 22d

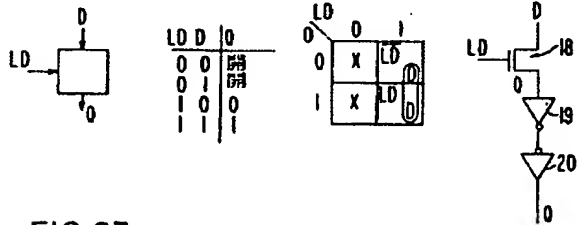


FIG. 23a

A	B	C	Z
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

FIG. 23b

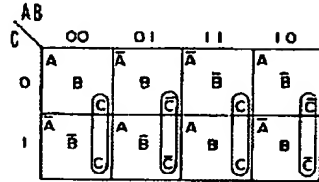
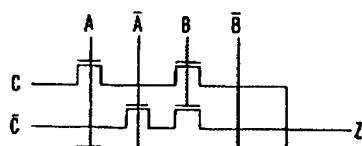


FIG. 23c



B	C	A	X
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

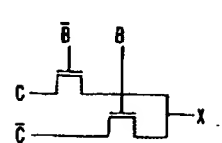
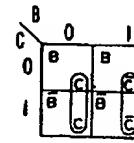
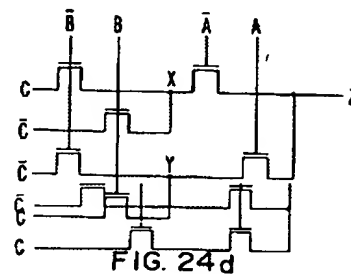


FIG. 24a

FIG. 24b

FIG. 24c



手続補正書

昭和58年 6月20日

昭和58年 8月 8日

特許庁長官 若 杉 和 夫 殿

1. 事件の表示 昭和58年 特 許 願 第 80255 号

2. 発明の名称 論 理 回 路 の 構 成 方 法

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国、カリフォルニア 95051, サンタ
 クララ、ホームステッド ロード 3800
 名称 アメリカン マイクロシステムズ、インコーポレイテッド

4. 代 理 人

住所 東京都港区虎ノ門5丁目3番20号
 仙石山アネックス 311号室 (電話438-0858)
 小 橋 国 際 特 許 事 務 所
 氏名 (5779) 弁理士 小 橋 一 男 (外1名)

5. 補正命令の日付 自 発

6. 補正により増加する発明の数 な し

7. 補正の対象 図 面

8. 補正の内容 別紙の通り

特許庁長官 若 杉 和 夫 殿

1. 事件の表示 昭和58年 特 許 願 第 80255 号

2. 発明の名称 論理回路及びその構成方法

3. 補正をする者

事件との関係 特許出願人

住所 アメリカ合衆国、カリフォルニア 95051, サンタ
 クララ、ホームステッド ロード 3800
 名称 アメリカン マイクロシステムズ、インコーポレイテッド

4. 代 理 人

住所 東京都港区虎ノ門5丁目3番20号
 仙石山アネックス 311号室 (電話438-0858)
 小 橋 国 際 特 許 事 務 所
 氏名 (5779) 弁理士 小 橋 一 男 (外1名)

5. 補正命令の日付 自 発

6. 補正により増加する発明の数 4

7. 補正の対象 明 細 書、図 面

8. 補正の内容 別紙の通り

1. 本願の「特許請求の範囲」の欄の記載を以下の如く全文補正する。

1. 基本要素としてバストラジスタを有する論理回路であって各バストラジスタが入力リードと出力リードと前記入力リードから前記出力リードへの信号の通過を制御する制御リードとを具備した論理回路に於いて、前記論理回路が出力リードを有すると共に少なくとも2個のバストラジスタを有しており、前記少なくとも2個のバストラジスタはその制御リードへ印加される選択された制御信号にตอบสนองして前記出力ノードへ第1入力関数及び第2入力関数を通過させるべく接続されており、従って前記出力ノードに前記第1又は第2入力関数に関係した選択された出力関数が発生され、前記第1入力関数及び第2入力関数の一方が基準電圧若しくは供給電圧の何れかを有することを特徴とする回路。

に接続されていることを特徴とする回路。

5. 上記第4項に於いて、前記第2入力関数が前記第1入力関数の反転したものであり、前記第2制御関数が前記第1制御関数の反転したものであることを特徴とする回路。

6. 上記第5項に於いて、前記出力関数 Z が $Z = \bar{A} \cdot \bar{B} + A \cdot B$ で定義されており、前記第1入力関数が \bar{B} であり、前記第2入力関数が B であり、前記第1制御関数が \bar{A} であり、前記第2制御関数が A であることを特徴とする回路。

7. 上記第4項に於いて、前記第1入力関数が基準電圧 V_{ss} であり、前記第2入力関数が B であり、前記第1制御関数が \bar{A} であり、前記第2制御関数が A であり、従って AND 関数を表わすことを特徴とする回路。

8. 上記第4項に於いて、前記第1入力関数が供給電圧 V_{DD} であり、前記第2入力関数が \bar{B} であり、前記第1制御関数が \bar{A} であり、前記第2制御関数が A であり、従って $NAND$ 関数を表わすことを特徴とする回路。

2. 上記第1項に於いて、前記第1入力関数及び前記第2入力関数が1組の入力変数の全部より少ない数の変数を有しており、且つ前記制御関数が前記1組の入力変数の残部の1つ以上を有することを特徴とする回路。

3. 上記第1項に於いて、前記少なくとも2個のバストラジスタが第1バストラジスタを有すると共に前記出力ノードに接続されている第2バストラジスタを有しており、各バストラジスタが入力リードと出力リードと制御リードとを有しており、前記第1バストラジスタは第1制御信号にตอบสนองして前記出力ノードへ前記第1入力関数をパスさせる様に接続されており且つ前記第2バストラジスタは第2制御信号にตอบสนองして前記出力ノードへ前記第2入力関数をパスさせる様に接続されていることを特徴とする回路。

4. 上記第3項に於いて、前記第1バストラジスタの前記出力リードと前記第2バストラジスタの前記出力リードとが前記出力ノード

9. 上記第4項に於いて、前記第1入力関数が B であり、前記第2入力関数が供給電圧 V_{DD} であり、前記第1制御関数が \bar{A} であり、前記第2制御関数が A であり、従って OR 関数を表わすことを特徴とする回路。

10. 上記第4項に於いて、前記第1入力関数が \bar{B} であり、前記第2入力関数が基準電圧 V_{ss} であり、前記第1制御関数が \bar{A} であり、前記第2制御関数が A であり、従って NOR 関数を表わすことを特徴とする回路。

11. 基本要素としてバストラジスタを有する論理回路であって各バストラジスタが入力リードと出力リードと前記入力リードから前記出力リードへの信号の通過を制御する制御リードとを具備した論理回路に於いて、前記論理回路が出力ノードを有すると共に少なくとも3個のバストラジスタを有しており、前記少なくとも3個のバストラジスタはそれらの制御リードへ印加される選択された制御信号にตอบสนองして前記出力ノードへ少なくとも第1入力関数

と第2入力関数とを通過させるべく接続されており、前記出力ノード上に少なくとも前記第1入力関数又は第2入力関数に関係した選択された出力関数を発生させることを特徴とする回路。

12. 所定の論理関数を表わす論理回路であって前記回路がその基本要素として入力リードと出力リードと制御関数によって制御される制御リードとを具備したバストランジスタを使用している論理回路の構成方法に於いて、所望の論理関数の真理値表であって入力変数の各状態に対して1個又は複数個の出力変数の状態を表わす真理値表を確立し、バストランジスタの出力リードへ通過された場合に1個又はそれ以上の所望の出力変数を発生する入力変数を各入力状態に対して前記真理値表に加入し、尚前記入力変数はその入力状態に対するバス関数を有しており、修正したカルノウマップ内に入力変数の各状態に対するバス関数を加入し、尚前記修正したカルノウマップの各状態は所望の出力変数を発生する特定の入力変数を有しており又前

を特徴とする方法。

15. 与えられた論理関数を表わす論理回路であって該回路がその基本要素としてバストランジスタを使用しており該バストランジスタは入力リードと出力リードと制御関数によって制御される制御リードとを有する論理回路を構成する方法に於いて、所望の論理関数の真理値表であって入力変数の各状態に対し1個又はそれ以上の出力変数の状態を表わす真理値表を確立し、前記真理値表内に各入力状態に対してバストランジスタの出力リードへ通過された場合にその真理値表に対する所望の1個又はそれ以上の出力変数を発生する入力変数を加入し、尚前記入力変数はその状態に対するバス関数を有しており、各状態が少なくとも1個のバス変数を有する様に入力変数の各状態に対して各バス関数内の同一のバス変数を識別し、前記バストランジスタの前記ゲートを制御する為に前記入力変数の中から前以って識別した同一のバス変数とは独立的な制御関数を識別する、上記各工程

記特定の入力変数は入力変数のその状態に対するバス関数として呼称され、各状態が少なくとも1個のバス変数を有する様に入力変数の各状態に対する各バス関数内に於いて同一のバス変数を識別し、前記バストランジスタの前記ゲートを制御する為に前記入力変数の中から前以って識別した同一のバス変数とは独立的な制御関数を識別する、上記各工程を有することを特徴とする方法。

13. 上記第12項に於いて、前記制御関数を識別する工程に於いて、バス関数と同一の制御関数を有するバストランジスタは制御関数によって導通状態とされた場合に高レベル信号を通過させ、且つバス関数の否定の制御関数を有するバストランジスタは制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用してバス関数を制御変数とは独立的なものとすることを特徴とする方法。

14. 上記第13項に於いて、更に前記バストランジスタ回路を描写する工程を有すること

を有することを特徴とする方法。

16. 上記第15項に於いて、前記制御関数を識別する工程に於いて、バス関数と同一の制御関数を有するバストランジスタは前記制御関数によって導通状態とされた場合に高レベル信号を通過させ且つバス関数の否定の制御関数を有するバストランジスタの前記制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用して、前記バス関数を前記制御変数とは独立的なものとすることを特徴とする方法。

17. 上記第16項に於いて、更にバストランジスタ回路を描写する工程を有することを特徴とする方法。

18. 与えられた論理関数を表わす論理回路であって該論理回路がその基本要素としてバストランジスタを使用しており前記バストランジスタが入力リードと出力リードと制御関数によって制御される制御リードとを有する論理回路を形成する方法に於いて、所望の論理関数の第

1 真理値表であって入力変数の各状態に対して1個又は複数個の第1出力変数の状態を表わす真理値表を確立し、バストラジスタの出力リードへ通過された場合に1個又はそれ以上の所望の出力変数を発生する入力変数を各入力状態に対して前記第1真理値表に記入し、尚前記入力変数はその入力状態に対するバス関数を有しており、各々が前記第1真理値表よりも変数の数が減少されており各々が複数個の第2出力変数の1個又はそれ以上を表わす複数個の第2真理値表を確立し、前記各第2真理値表に対して関連する修正したカルノウマップ内に入力変数の各状態に対するバス関数を記入し、尚前記修正したカルノウマップの各状態は所望の出力変数を発生する特定の入力変数を有しており又前記特定の入力変数は入力変数のその状態に対するバス関数として呼称され、各状態が少なくとも1個のバス変数を有するように入力変数の各状態に対する各バス関数内に於いて同一のバス変数を見付け出し、前記バストラジスタの前

記ゲートを制御する為に前記入力変数の中から前もって見付け出した同一のバス変数とは独立の制御関数を見付け出すことを特徴とする方法。

19. 上記第18項に於いて、制御関数を見付け出す工程に於いて、バス関数と同一の制御関数を有するバストラジスタは制御関数によって導通状態とされた場合に高レベル信号を通過させ、且つバス関数の否定の制御関数を有するバストラジスタは制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用してバス関数を制御変数とは独立的なものとすることを特徴とする方法。

20. 上記第19項に於いて、更に複数個のバストラジスタ回路を描き、且つ前記複数個のバストラジスタ回路を結合して単一のバストラジスタ回路とする各工程を有することを特徴とする方法。

21. 与えられた論理関数を表わす論理回路であって該回路がその基本要素としてバストラジスタを使用しており該バストラジスタは

入力リードと出力リードと制御関数によって制御される制御リードと有する論理回路を形成する方法に於いて、所望の論理関数の第1真理値表であって入力変数の各状態に対し1個又はそれ以上の出力変数の状態を表わす真理値表を確立し、各々が前記第1真理値表より変数の数が減少されており各々が複数個の第2出力変数の1個又はそれ以上を表わす複数個の第2真理値表を確立し、前記各第2真理値表内に各入力状態に対してバストラジスタの出力リードへ通過された場合にその真理値表に対する所望の1個又はそれ以上の出力変数を発生する入力変数を記入し、尚前記入力変数はその状態に対するバス関数を有しており、各状態が少なくとも1個のバス変数を有する様に入力変数の各状態に対して各バス関数内の同一のバス変数を見付け出し、前記バストラジスタの前記ゲートを制御する為に前記入力変数の中から前もって見付け出した同一のバス変数とは独立的な制御関数を見付け出すことを特徴とする方法。

22. 上記第21項に於いて、制御関数を見付け出す前記工程に於いて、バス関数と同一の制御関数を有するバストラジスタは前記制御関数によって導通状態とされた場合に高レベル信号を通過させ且つバス関数の否定の制御関数を有するバストラジスタは前記制御関数によって導通状態とされた場合に低レベル信号を通過させるという同等性を使用して、前記バス関数を前記制御変数とは独立的なものとすることを特徴とする方法。

23. 上記第22項に於いて、更にバストラジスタ回路を描く工程を有する事を特徴とする方法。」

2. 本願の「発明の名称」を「論理回路及びその構成方法」と補正する。

3. 本願明細書第16頁中第6行の「第5図は、」から第11行の「…を示している。」までの記載を削除し、次の記載を加入する。

「第5図は、 $A_i > B_i$ であって且つ $D_{i+1} = 0$ である場合か又は $C_{i+1} = 1$ である場合には C_i が高で $A > B$ であることを表わしており、又 $D_{i+1} = 1$ である場合か又は $A_i < B_i$ であって且つ $C_{i+1} = 0$ である場合には D_i が高で $A < B$ であることを表わす比較構成を示している。」

4. 本願の添付図面中、第6図を添付の如く補正する。

(以上)

FIG. 6

